

表面再構成制御成長法を用いたInSb/Si系 超高速・超低消費電力デバイスの作製



大学院理工学研究部(工学)
准教授 森 雅之

研究分野

Research area

電子デバイス・電子機器 応用物性・結晶工学

研究のキーワード 電子デバイス・集積回路, エピタキシャル成長

研究内容

Research content

我々が考案した表面再構成制御成長法を用いた Si 基板上への InSb 系超高速・超低消費電力デバイスの作製を目的としている。表面再構成制御成長法とは、半導体表面に金属原子を吸着させることで形成される表面再構成構造を利用し、成長薄膜の面内回転を誘起して格子不整合を緩和するヘテロエピタキシャル成長法で、Si 基板上に直接高品質な InSb を作製できる。その特徴を生かし、InSb を用いて高品質な Si 基板上 III-V CMOS や QW-MOSFET を実現する。

研究のポイント

Research point

- ・表面再構成制御成長法を用いた、異種材料バッファ層を用いない Si 基板上への高品質 InSb 薄膜の直接成長
- ・Si 基板上に直接成長させた高品質 InSb 薄膜を用いた、MOSFET の動作実証(世界で当研究室だけ)
- ・GaSb, InGaSb を用いた Si 基板上へ InSb 系 III-V CMOS への挑戦

産学連携への取組、期待

科学研究費補助金

- ・若手研究 (B)、(H19~H21 年度)
- ・基盤研究 (C)(一般)、(H22~H24 年度)
- ・基盤研究 (B)(一般)、(H25~H28 年度)

民間企業等からの研究費

- ・高橋経済産業研究財団、(H23 年度)
- ・共同研究(㈱日立国際電気)、(H18~H26 年度)

受賞

- ・第2回有機・無機エレクトロニクスシンポジウム(2014年7月、信州大学)ポスターアワード、「Si(111)基板上へのInxGa1-xSbエピタキシャル成長と膜質の評価」
- ・H23電気学会電子・情報・システム部門大会(2011年、9月、富山大学)優秀ポスター賞、「化合物半導体上におけるInSbナノワイヤーの成長」
- ・H9年度応用物理学会北陸支部発表奨励賞受賞(1997)

研究 REPORT

我々はこれまでに、この新規な成長法を用いて作製した Si(111) 基板上の InSb 薄膜 (膜厚 1 μm) において、室温で約 40,000 cm^2/Vs という非常に高い電子移動度を達成している。この移動度は、GaAs 基板上や Si 基板上への異種材料バッファ層を介して成長させた InSb 薄膜のものに匹敵し、異種材料バッファ層なしに Si 基板上へ直接成長した InSb としては極めて高い値である。また我々は、図 1 に示すような、Si 基板上に直接成長した極薄 (膜厚 10~15nm) InSb をチャネルとして用いた MOSFET を報告している。表面再構成制御成長法で作製した高品質な InSb/Si ヘテロ接合がチャネル中の電子を閉じ込める良い電子バリアになり、また、InSb を臨界膜厚近くまで薄くすることで結晶性が向上し、Si 基板上に直接成長させた InSb をチャネルとして利用できるようになった。

現在、InSb の膜厚 10nm、ゲート長 5 μm 、ゲート幅 40nm の試料で、62 mS/mm という良好な相互コンダクタンスが得られている。Si 基板上に直接(バッファ層なしで)極薄の InSb を成長させるだけでトランジスタ動作するこのデバイスは、我々が開発した表面再構成制御成長法によって初めて実現可能であり、上述した基板貼り合わせや分厚いバッファ層を必要としないため、Si 基板上 III-V CMOS 実現のために最も有力な技術である。

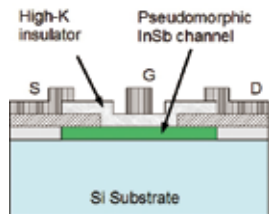


図 1 断面模式図

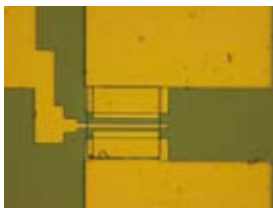


図 2 光学顕微鏡写真

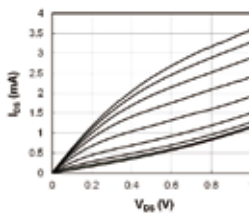


図 3 I_d - V_d 特性